



**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

**In re application of**

Eiji Io

**Appln. No.:** 09/550,405

**Art Unit:** To be assigned

**Filed:** April 14, 2000

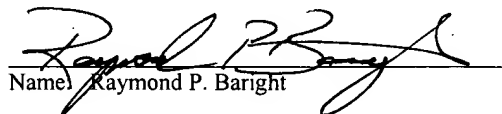
**Examiner:** To be assigned

**For:** SEMICONDUCTOR DEVICE AND  
METHOD OF FABRICATING THE  
SAME

**Docket No.:** APM-01301

Certificate of Mailing

I hereby certify that the foregoing documents are being deposited with the United States Postal Service as first-class mail, postage prepaid, in an envelope addressed to the Assistant Commissioner for Patents Washington, D.C. 20231 on this date of May 1, 2000.

  
Name: Raymond P. Baright

**SUBMISSION OF PRIORITY DOCUMENT**

Assistant Commissioner for Patents  
Washington, DC 20231

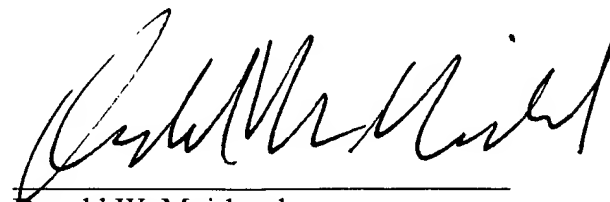
Sir:

Attached hereto is Japanese Patent Application No. 11-108884 filed April 16, 1999, a priority document for the above-referenced patent application. Should there be any questions after reviewing this submission, the Examiner is invited to contact the undersigned at 617-951-6676.

Respectfully submitted,  
HUTCHINS, WHEELER & DITTMAR

May 1, 2000

Date

  
Donald W. Muirhead  
Reg. No. 33,978

Patent Group  
Hutchins, Wheeler & Dittmar  
101 Federal Street  
Boston, MA 02110



日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

US

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 4月16日

出 願 番 号

Application Number:

平成11年特許願第108884号

出 願 人

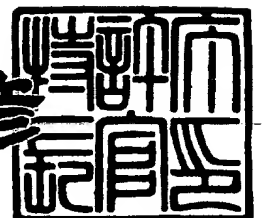
Applicant (s):

日本電気株式会社

2000年 4月14日

特 許 庁 長 官  
Commissioner,  
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3027369

【書類名】 特許願

【整理番号】 74310225

【提出日】 平成11年 4月16日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

    【氏名】 井尾 英治

【特許出願人】

    【識別番号】 000004237

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100096105

    【弁理士】

    【氏名又は名称】 天野 広

    【電話番号】 03(5484)2241

【手数料の表示】

    【予納台帳番号】 038830

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9715826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、前記半導体基板の表面に形成された素子分離絶縁膜と、前記素子分離絶縁膜により画定された素子形成領域内において、前記半導体基板の表面に形成されたゲート電極と、前記ゲート電極を覆って形成されたサイドウォールと、前記半導体基板の表面に形成されたドレイン拡散層及びソース拡散層と、からなる半導体装置において、

前記サイドウォールは、前記半導体基板の表面に沿って、前記ドレイン拡散層及び前記ソース拡散層が形成される領域の少なくとも何れか一方において、前記ゲート電極の外側に向かって延びるサイドウォールオフセットを有しており、

前記ドレイン拡散層及びソース拡散層の少なくとも何れか一方は前記サイドウォールオフセットの外縁よりも前記ゲート電極に向かって前記サイドウォールの内側まで延びており、

前記ドレイン拡散層又はソース拡散層の表面には、前記サイドウォールオフセット又は前記サイドウォールの外縁よりも外側において、低抵抗配線層が形成されていることを特徴とする半導体装置。

【請求項 2】 前記サイドウォールオフセットは前記ドレイン拡散層及びソース拡散層が形成される双方の領域において形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記ドレイン拡散層及びソース拡散層の下方には、前記ドレイン拡散層及びソース拡散層を包み込むようにして第二拡散層がそれぞれ形成されていることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記第二拡散層は前記ドレイン拡散層及びソース拡散層よりも低濃度であることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 前記半導体基板上にはメモリセルが形成されていることを特徴とする請求項 1 乃至 4 の何れか一項に記載の半導体装置。

【請求項 6】 前記低抵抗配線層はチタニウムシリサイド (TiSi) 層であることを特徴とする請求項 1 乃至 5 の何れか一項に記載の半導体装置。

【請求項 7】 半導体基板上に素子分離絶縁膜を形成する第一の過程と、  
第一トランジスタ形成領域内に第一導電型ウェル及び第二導電型ウェル、第二トランジスタ形成領域内に第一導電型ウェル及び第二導電型ウェルをそれぞれ形成する第二の過程と、

前記第一トランジスタ形成領域内及び前記第二トランジスタ形成領域内において第一トランジスタ及び第二トランジスタのゲート電極をそれぞれ形成する第三の過程と、

前記第一トランジスタ形成領域内及び前記第二トランジスタ形成領域内において第一トランジスタ及び第二トランジスタの第一のドレイン拡散層及びソース拡散層をそれぞれ形成する第四の過程と、

前記第一トランジスタのゲート電極の周囲に、前記第一のドレイン拡散層及びソース拡散層の少なくとも何れか一方において、外縁が前記第一のドレイン拡散層及びソース拡散層の先端よりも前記ゲート電極から見て外側に位置するサイドウォールオフセットを有するサイドウォールを形成し、同時に、前記第二トランジスタのゲート電極の周囲にサイドウォールを形成する第五の過程と、

前記第一トランジスタ及び前記第二トランジスタの第二のドレイン拡散層及びソース拡散層を形成する第六の過程と、

を備える半導体装置の製造方法。

【請求項 8】 前記第一トランジスタ及び前記第二トランジスタの第二のドレイン拡散層及びソース拡散層の少なくとも一部を低抵抗化する第七の過程をさらに備えることを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 前記第一トランジスタ及び前記第二トランジスタの第二のドレイン拡散層及びソース拡散層の少なくとも一部をシリサイド化することを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】 前記第五の過程において、前記第一のドレイン拡散層及びソース拡散層の双方において前記サイドウォールオフセットを形成することを特徴とする請求項 7 乃至 9 の何れか一項に記載の半導体装置の製造方法。

【請求項 11】 半導体基板上に素子分離絶縁膜を形成する第一の過程と、  
第一トランジスタ形成領域内に第一導電型ウェル及び第二導電型ウェル、第二

トランジスタ形成領域内に第一導電型ウェル及び第二導電型ウェル、メモリセル形成領域内にウェルをそれぞれ形成する第二の過程と、

前記メモリセル形成領域内においてメモリセルのゲート電極を形成する第三の過程と、

前記メモリセルの拡散層を形成する第四の過程と、

前記第一トランジスタ形成領域内及び前記第二トランジスタ形成領域内において第一トランジスタ及び第二トランジスタのゲート電極をそれぞれ形成する第五の過程と、

前記第一トランジスタ形成領域内及び前記第二トランジスタ形成領域内において第一トランジスタ及び第二トランジスタの第一のドレイン拡散層及びソース拡散層をそれぞれ形成する第六の過程と、

前記第一トランジスタのゲート電極の周囲に、前記第一のドレイン拡散層及びソース拡散層の少なくとも何れか一方において、外縁が前記第一のドレイン拡散層及びソース拡散層の先端よりも前記ゲート電極から見て外側に位置するサイドウォールオフセットを有するサイドウォールを形成し、同時に、前記第二トランジスタのゲート電極の周囲にサイドウォールを形成する第七の過程と、

前記第一トランジスタ及び前記第二トランジスタの第二のドレイン拡散層及びソース拡散層を形成する第八の過程と、

を備える半導体装置の製造方法。

【請求項 1 2】 前記第一トランジスタ及び前記第二トランジスタの第二のドレイン拡散層及びソース拡散層の少なくとも一部を低抵抗化する第九の過程をさらに備えることを特徴とする請求項 1 1 に記載の半導体装置の製造方法。

【請求項 1 3】 前記第一トランジスタ及び前記第二トランジスタの第二のドレイン拡散層及びソース拡散層の少なくとも一部をシリサイド化することを特徴とする請求項 1 2 に記載の半導体装置の製造方法。

【請求項 1 4】 前記第七の過程において、前記第一のドレイン拡散層及びソース拡散層の双方において前記サイドウォールオフセットを形成することを特徴とする請求項 1 1 乃至 1 3 の何れか一項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、特に、不揮発メモリとCMOSロジックトランジスタとを混載した半導体装置において必要となる高耐圧トランジスタ及びその製造方法に関する。

【0002】

【従来の技術】

CMOSロジックトランジスタと不揮発メモリとを混載する半導体装置においては、不揮発メモリを駆動するための高耐圧トランジスタを形成することを必要とする。

【0003】

この高耐圧トランジスタは、従来、以下のようにしてつくられてきた。

【0004】

図19は第一の従来例に係る半導体装置を示す。

【0005】

この半導体装置は、半導体基板101上に形成されたメモリセル181、高耐圧NMOSトランジスタ182、高耐圧PMOSトランジスタ183、VccNMOSトランジスタ184、VccPMOSトランジスタ185を備えている。

【0006】

高耐圧トランジスタ182、183には、低濃度のウェル103、104と、厚いゲート酸化膜152（膜厚約250オングストローム）と、ソース及びドレイン電極としての薄い拡散層168、169が形成されている。このような構成により、耐圧の向上を図ることができる。

【0007】

【発明が解決しようとする課題】

しかしながら、CMOSロジックトランジスタと不揮発メモリとを混載する半導体装置において、このような高耐圧トランジスタ182、183を形成しようとすると、以下のように、TiSi形成プロセスとの不整合が生じるという問題を引き起こす。

【0008】

第一に、Vccトランジスタ184、185における高濃度拡散層165、166と、高耐圧トランジスタ182、183における低濃度拡散層168、169とを同時にTiSi化する際に、高耐圧トランジスタ182、183の低濃度拡散層168、169上において、TiSiが異常成長を引き起こす恐れがある。このため、高耐圧トランジスタ182、183の低濃度拡散層168、169のTiSi化を防止することが必要となるが、そのためには、アモルファス化ヒ素イオン注入に対する保護及びチタンスパッタリングに対する保護として、2回のフォトリソグラフィ工程と1回の膜成長工程とが必要となる。

【0009】

第二に、図19に示すように、保護膜（例えば、HTO）155を用いて、高耐圧トランジスタ182、183の低濃度拡散層168、169のTiSi化を防止する場合には、コンタクトの形成についての問題が生じる。

【0010】

通常、TiSi化を行わない拡散層に対しては、前処理として電極の埋め込み前にウェットエッチを行う必要がある。ウェットエッチを行わない場合には、コンタクト抵抗が著しく増大してしまう（数10K $\Omega$ /個）。これに対して、TiSi化を行うVccトランジスタ184、185における高濃度拡散層165、166はドライエッチのみで形成しなければならない。これは、ウェットエッチを行うと、TiSi層がダメージを蒙るためである。

【0011】

このため、フォトリソグラフィ技術を伴ったウェットエッチを行う必要があり、さらに1回のフォトリソグラフィ工程とウェットエッチ工程が必要となり、工程数の増加を招く。

【0012】

図20は第二の従来例に係る半導体装置を示す。

【0013】

この半導体装置は、図19に示した第一の従来例に係る半導体装置と同様に、半導体基板201上に形成されたメモリセル191、高耐圧NMOSトランジス



タ 192、高耐圧 PMOS トランジスタ 193、Vcc NMOS トランジスタ 194、Vcc PMOS トランジスタ 195 を備えている。

【0014】

高耐圧 トランジスタ 192、193 には、低濃度のウェル 203、204 と、厚いゲート酸化膜 252（膜厚約 250 オングストローム）と、ソース及びドレイン電極としての高濃度拡散層 265、266 が形成されている。この高耐圧 トランジスタ 192、193 におけるソース及びドレイン電極としての高濃度拡散層 265、266 は、Vcc トランジスタ 194、195 のソース及びドレイン電極としての高濃度拡散層 265、266 と同時に形成されたものである。この高耐圧 トランジスタ 192、193 においては、ウェル 203、204 を低濃度化することのみによって、拡散層 265、266 の耐圧の向上を図っている。

【0015】

この第二の従来例に係る半導体装置は、TiSi 化プロセスとの整合が取れており、高耐圧及び Vcc トランジスタ形成プロセスに対する付加工程数が少ないという利点がある。しかしながら、拡散層 265、266 が高濃度であるため、バンド間電流の発生によって、ソース-ドレイン間の耐圧が著しく低下してしまうという新たな問題を生じている。

【0016】

本発明は、以上のような従来の半導体装置における問題点に鑑みてなされたものであり、CMOS ロジック トランジスタと不揮発メモリとを混載する半導体装置において、トランジスタの製造工程数を増加させることなく、バンド間電流の発生を抑制することができる半導体装置及びその製造方法を提供することを目的とする。

【0017】

【課題を解決するための手段】

この目的を達成するため、本発明の請求項 1 は、半導体基板と、半導体基板の表面に形成された素子分離絶縁膜と、素子分離絶縁膜により画定された素子形成領域内において、半導体基板の表面に形成されたゲート電極と、ゲート電極を覆って形成されたサイドウォールと、半導体基板の表面に形成されたドレイン拡散

層及びソース拡散層と、からなる半導体装置において、サイドウォールは、半導体基板の表面に沿って、ドレイン拡散層及びソース拡散層が形成される領域の少なくとも何れか一方において、ゲート電極の外側に向かって延びるサイドウォールオフセットを有しており、ドレイン拡散層及びソース拡散層の少なくとも何れか一方はサイドウォールオフセットの外縁よりもゲート電極に向かってサイドウォールの内側まで延びており、ドレイン拡散層又はソース拡散層の表面には、サイドウォールオフセット又はサイドウォールの外縁よりも外側において、低抵抗配線層が形成されていることを特徴とする半導体装置を提供する。

【0018】

サイドウォールオフセットはドレイン拡散層側とソース拡散層側の何れか一方だけに設けることもでき、あるいは、請求項2に記載されているように、双方に設けることもできる。

【0019】

請求項3に記載されているように、ドレイン拡散層及びソース拡散層の下方には、ドレイン拡散層及びソース拡散層を包み込むようにして第二拡散層がそれぞれ形成されていることが好ましい。

【0020】

この場合、請求項4に記載されているように、第二拡散層はドレイン拡散層及びソース拡散層よりも低濃度であることが好ましい。

【0021】

請求項5に記載されているように、半導体基板上にはメモリセルとともに形成しておくことができる。すなわち、本発明は、CMOSロジックトランジスタのみならず、不揮発メモリとCMOSロジックトランジスタとを混載した半導体装置にも適用することができる。

【0022】

低抵抗配線層は、例えば、請求項6に記載されているように、チタニウムシリサイド(TiSi)層とすることができる。

【0023】

請求項7は、半導体基板上に素子分離絶縁膜を形成する第一の過程と、第一ト

ランジスタ形成領域内に第一導電型ウェル及び第二導電型ウェル、第二トランジスタ形成領域内に第一導電型ウェル及び第二導電型ウェルをそれぞれ形成する第二の過程と、第一トランジスタ形成領域内及び第二トランジスタ形成領域内において第一トランジスタ及び第二トランジスタのゲート電極をそれぞれ形成する第三の過程と、第一トランジスタ形成領域内及び第二トランジスタ形成領域内において第一トランジスタ及び第二トランジスタの第一のドレイン拡散層及びソース拡散層をそれぞれ形成する第四の過程と、第一トランジスタのゲート電極の周囲に、第一のドレイン拡散層及びソース拡散層の少なくとも何れか一方において、外縁が第一のドレイン拡散層及びソース拡散層の先端よりもゲート電極から見て外側に位置するサイドウォールオフセットを有するサイドウォールを形成し、同時に、第二トランジスタのゲート電極の周囲にサイドウォールを形成する第五の過程と、第一トランジスタ及び第二トランジスタの第二のドレイン拡散層及びソース拡散層を形成する第六の過程と、を備える半導体装置の製造方法を提供する。

## 【0024】

請求項8に記載されているように、本方法は、第一トランジスタ及び第二トランジスタの第二のドレイン拡散層及びソース拡散層の少なくとも一部を低抵抗化する第九の過程をさらに備えることが好ましい。

## 【0025】

請求項9に記載されているように、第二のドレイン拡散層及びソース拡散層の低抵抗化としては、例えば、シリサイド化を行う。

## 【0026】

第五の過程においては、サイドウォールオフセットはドレイン拡散層側とソース拡散層側の何れか一方だけに設けることもでき、あるいは、請求項10に記載されているように、双方に設けることもできる。

## 【0027】

請求項11は、半導体基板上に素子分離絶縁膜を形成する第一の過程と、第一トランジスタ形成領域内に第一導電型ウェル及び第二導電型ウェル、第二トランジスタ形成領域内に第一導電型ウェル及び第二導電型ウェル、メモリセル形成領

域内にウェルをそれぞれ形成する第二の過程と、メモリセル形成領域内においてメモリセルのゲート電極を形成する第三の過程と、メモリセルの拡散層を形成する第四の過程と、第一トランジスタ形成領域内及び第二トランジスタ形成領域内において第一トランジスタ及び第二トランジスタのゲート電極をそれぞれ形成する第五の過程と、第一トランジスタ形成領域内及び第二トランジスタ形成領域内において第一トランジスタ及び第二トランジスタの第一のドレイン拡散層及びソース拡散層をそれぞれ形成する第六の過程と、第一トランジスタのゲート電極の周囲に、第一のドレイン拡散層及びソース拡散層の少なくとも何れか一方において、外縁が第一のドレイン拡散層及びソース拡散層の先端よりもゲート電極から見て外側に位置するサイドウォールオフセットを有するサイドウォールを形成し、同時に、第二トランジスタのゲート電極の周囲にサイドウォールを形成する第七の過程と、第一トランジスタ及び第二トランジスタの第二のドレイン拡散層及びソース拡散層を形成する第八の過程と、を備える半導体装置の製造方法を提供する。

【0028】

請求項12に記載されているように、本方法は、第一トランジスタ及び第二トランジスタの第二のドレイン拡散層及びソース拡散層の少なくとも一部を低抵抗化する第九の過程をさらに備えることが好ましい。

【0029】

請求項13に記載されているように、第二のドレイン拡散層及びソース拡散層の低抵抗化としては、例えば、シリサイド化を行う。

【0030】

請求項10と同様に、第七の過程においては、サイドウォールオフセットはドレイン拡散層側とソース拡散層側の何れか一方だけに設けることもでき、あるいは、請求項14に記載されているように、双方に設けることもできる。

【0031】

以上のように、本発明によれば、CMOSロジックトランジスタと不揮発メモリとを混載する半導体装置において必要とされる高耐圧トランジスタの形成において、DDD (Double Diffused Drain) 注入を適用する

ことにより、高耐圧トランジスタの耐圧を向上させることができるとともに、LDDサイドウォールを拡張して形成することにより、低濃度拡散層の露出を防止し、バンド間電流を抑制することができる。

【0032】

なお、本発明は、高耐圧トランジスタと不揮発メモリとが混載された半導体装置に限定されるものではなく、高耐圧トランジスタに対しても単独で適用することが可能である。

【0033】

【発明の実施の形態】

図1は、本発明の第一の実施形態に係る半導体装置の断面図である。

【0034】

本実施形態に係る半導体装置は、CMOSロジックトランジスタと不揮発メモリとを混載する半導体装置において必要とされる高耐圧トランジスタとして形成されている。

【0035】

図1に示すように、本実施形態に係る半導体装置は、半導体基板1と、半導体基板1の表面に形成された素子分離絶縁膜2と、素子分離絶縁膜2により画定された素子形成領域に形成された高耐圧NMOSトランジスタ10と高耐圧PMOSトランジスタ20と、を備えている。

【0036】

高耐圧NMOSトランジスタ10は、半導体基板1の素子形成領域に形成された高耐圧Pウェル3と、高耐圧Pウェル3の表面に形成されたゲート酸化膜35と、酸化膜35上に形成されたゲート電極52と、ゲート電極52を覆って形成されたサイドウォール53と、高耐圧Pウェル3の露出表面に形成された低抵抗配線層としてのTiSi層67と、高耐圧Pウェル3の内部においてTiSi層67を覆うようにTiSi層67の下方に形成されたソース／ドレイン拡散層65と、ソース／ドレイン拡散層65を覆うようにソース／ドレイン拡散層65の下方に形成された第二拡散層としてのDDD層63と、からなる。

【0037】

また、高耐圧PMOSトランジスタ20は、半導体基板1の素子形成領域に形成された高耐圧Nウェル4と、高耐圧Nウェル4の表面に形成されたゲート酸化膜35と、酸化膜35上に形成されたゲート電極52と、ゲート電極52を覆って形成されたサイドウォール53と、高耐圧Nウェル4の露出表面に形成された低抵抗配線層としてのTiSi層67と、高耐圧Nウェル4の内部においてTiSi層67を覆うようにTiSi層67の下方に形成されたソース/ドレイン拡散層66と、ソース/ドレイン拡散層66を覆うようにソース/ドレイン拡散層66の下方に形成された第二拡散層としてのDDD層64と、からなる。

## 【0038】

高耐圧NMOSトランジスタ10及び高耐圧PMOSトランジスタ20の双方において、DDD層63、64はソース/ドレイン拡散層65、66よりも不純物濃度は低く設定されている。

## 【0039】

図1に示すように、高耐圧NMOSトランジスタ10及び高耐圧PMOSトランジスタ20の双方において、サイドウォール53は、半導体基板1の表面に沿って、ドレイン拡散層65、66及びソース拡散層65、66の双方に対して、ゲート電極52の外側に向かって延びるサイドウォールオフセット54を有するように構成されている。

## 【0040】

このサイドウォールオフセット54を設けることにより、ドレイン拡散層65、66及びソース拡散層65、66はサイドウォールオフセット54の外縁よりもゲート電極52に向かってサイドウォール53の内側まで延びている。すなわち、ドレイン拡散層65、66及びソース拡散層65、66の先端は何れもサイドウォール53又はサイドウォールオフセット54の下側に位置している。

## 【0041】

このため、高耐圧Pウェル3及び高耐圧Nウェル4の表面は全てTiSi層67で覆われており、ソース/ドレイン拡散層65、66は全く半導体基板1の表面には露出していない。

## 【0042】

本実施形態に係る半導体装置においては、高濃度のソース／ドレイン拡散層 6 5、6 6 を低濃度の D D D 層 6 3、6 4 で包み込むことによって、ジャンクション耐圧の確保を図ることができる。

【0 0 4 3】

さらに、サイドウォール 5 3 を拡張して形成したサイドウォールオフセット 5 4 により、高耐圧トランジスタ 1 0、2 0 のソース／ドレイン拡散層 6 5、6 6 をゲート電極 5 2 のエッジから引き離すことが可能になり、ひいては、バンド間リーク電流の発生を抑制し、ソース－ドレイン間耐圧の向上を図ることができる。

【0 0 4 4】

本実施形態に係る半導体装置においては、厚い酸化膜として機能するサイドウォールオフセット 5 4 をゲート電極 5 2 のエッジ上にマスク材として残し、半導体基板 1 の表面上における低濃度拡散層すなわち D D D 層 6 3、6 4 の露出を防止しているため、T i S i 層 6 7 の形成の際に、D D D 層 6 3、6 4 上において T i S i 層 6 7 が異常成長を起こす恐れがない。

【0 0 4 5】

また、T i S i 層 6 7 が形成されたソース／ドレイン拡散層 6 5、6 6 に対してのみコンタクトをとるため、コンタクト抵抗の増大、あるいは、コンタクト形成プロセスの追加などの問題が生じない。

【0 0 4 6】

本実施形態におけるような濃度の異なる拡散層の作り分けを行うためには、図 1 9 に示した第一の従来例によれば、イオン注入により拡散層を形成する際に必要となるフォトリソグラフィ工程に加えて、通常、2 回のフォトリソグラフィ工程及び 1 回のマスク材（例えば、H T O）の成長工程が必要である。

【0 0 4 7】

これに対して、本実施形態のように、サイドウォール 5 3 を延長して形成したサイドウォールオフセット 5 4 をマスク材として用いれば、フォトリソグラフィ工程の追加は 1 個だけであり、T i S i 層 6 7 の形成以降のプロセスを変更する必要はない。従って、本実施形態に係る半導体装置を形成するプロセスはロジ

ックトランジスタとの混載に適したプロセスとなっている。

【 0 0 4 8 】

また、高耐圧トランジスタ 1 0、2 0 を形成する高耐圧ウェル 3、4 は低濃度であるため、ラッチアップ動作を引き起こしやすいという問題を伴うが、本実施形態に係る半導体装置は、エミッタとなる高濃度ソース／ドレイン拡散層 6 4、6 5 を低濃度拡散層 6 3、6 4 で包み込む構造を有しているため、寄生バイポーラトランジスタの動作を低減することができる。

【 0 0 4 9 】

図 2 は本発明の第二の実施形態に係る半導体装置の断面図である。

【 0 0 5 0 】

図 1 に示した第一の実施形態に係る半導体装置においては、ゲート電極 5 2 からソース拡散層 6 5、6 6 及びドレイン拡散層 6 5、6 6 の双方に向かって伸張するサイドウォールオフセット 5 4 を形成したが、図 2 に示すように、ゲート電極 5 2 からドレイン拡散層 6 5、6 6 のみに向かって伸張するサイドウォールオフセット 5 4 a を形成することも可能である。

【 0 0 5 1 】

この場合、DDD 層 6 3、6 4 はサイドウォールオフセット 5 4 a を形成したドレイン拡散層 6 5、6 6 の下方においてのみ形成される。

【 0 0 5 2 】

高耐圧トランジスタの使用状況によっては、ゲート電極 5 2 とドレイン拡散層 6 5、6 6 にのみ  $V_{pp}$  電圧が印加され、 $V_{pp}$  電圧がソース拡散層 6 5、6 6 に印可されない場合がある。このため、ゲート電極 5 2 からソース拡散層 6 5、6 6 及びドレイン拡散層 6 5、6 6 の双方に向かって伸張するサイドウォールオフセット 5 4 を形成することは必ずしも必要ではなく、本実施形態のように、ゲート電極 5 2 からドレイン拡散層 6 5、6 6 のみに向かって伸張するサイドウォールオフセット 5 4 a を形成すれば足りる。

【 0 0 5 - 3 】

このように、必要な領域にのみサイドウォールオフセット 5 4 a を形成することにより、チップ面積の無用な増加を防ぐことができる。



【 0 0 5 4 】

なお、必要に応じて、ゲート電極 5 2 からソース拡散層 6 5、6 6 のみに向かって伸張するサイドウォールオフセット 5 4 a を形成する場合もある。

【 0 0 5 5 】

本発明の第三の実施形態として、半導体装置の製造方法を図 3 乃至図 1 7 に示す。本実施形態における半導体装置の製造方法によれば、高耐圧 NMOS トランジスタ 1 0 0、高耐圧 PMOS トランジスタ 1 1 0、V c c NMOS トランジスタ 1 2 0、V c c PMOS トランジスタ 1 3 0 及びメモリセル 1 4 0 が半導体基板上に形成される。

【 0 0 5 6 】

先ず、図 3 に示すように、半導体基板 1 の表面に素子分離絶縁膜 2 を形成した後に、不純物拡散またはイオン注入法を用いて、高耐圧トランジスタ領域の高耐圧 P ウェル 3 及び高耐圧 N ウェル 4、V c c トランジスタ領域の P ウェル 5 及び N ウェル 6、並びに、メモリセル領域のウェル 7 を形成する。

【 0 0 5 7 】

なお、素子分離絶縁膜 2 の形成の際に、半導体基板 1 の表面には酸化膜 8 が形成されている。

【 0 0 5 8 】

各トランジスタ 1 0 0、1 1 0、1 0 2、1 3 0 及びメモリセル 1 4 0 のウェル 3 - 7 を形成した後、メモリセル 1 4 0 の下地を形成する。

【 0 0 5 9 】

先ず、図 4 に示すように、犠牲酸化膜 8 をウェットエッチにより取り除く。

【 0 0 6 0 】

その後、各ウェル 3 - 7 の表面上にトンネル酸化膜 3 1 を熱酸化により成長させ、フローティングゲートとなる第 1 のポリシリコン層 4 1 を成長させる。この第 1 のポリシリコン層 4 1 は、メモリセル領域以外では不必要であるため、フォトリソグラフィ技術及びプラズマエッチングを用いて、高耐圧トランジスタ領域及び V c c トランジスタ領域における第 1 のポリシリコン層 4 1 を取り除いた後、図 5 に示すように、ポリシリコン-ポリシリコン間絶縁膜 3 2 (ONO 膜)

を半導体基板 1 の全面に成長させる。

【0061】

次に、高耐圧トランジスタ領域及びVccトランジスタ領域（ロジック領域）のゲート酸化膜の形成を行う。

【0062】

図6に示すように、パターニングされたフォトレジスト 11 を用いて、ロジック領域におけるポリシリコン-ポリシリコン間絶縁膜 32 及びトンネル酸化膜 31 をプラズマエッチングにより取り除く。

【0063】

次いで、フォトレジスト 11 を除去し、ロジック領域に一段目の熱酸化膜 33 を成長させた後、図7に示すように、パターニングされたフォトレジスト 12 を用いて、Vccトランジスタ領域における一段目の熱酸化膜 33 をウェットエッチングにより取り除く。

【0064】

次いで、フォトレジスト 12 を取り除いた後に、Vccトランジスタ領域においてゲート酸化膜 34 を熱酸化により形成する。この際、高耐圧トランジスタ 100、110 を形成する高耐圧領域に成長した一段目の熱酸化膜 33 は再び酸化雰囲気さらされ、二段階成長によって、ゲート酸化膜 35 となる。

【0065】

ゲート酸化膜 34、35 の成長後、図8に示すように、第2のポリシリコン層 42 及びWSi層 43 を半導体基板 1 の全面に形成する。

【0066】

続いて、メモリセル 140 の形成を行う。

【0067】

まず、フォトリソグラフィ技術及びプラズマエッチングを用いて、メモリセル 140 のゲート電極 51 を形成した後、図9に示すように、イオン注入に対するスルー膜（HTO膜） 36 を成長させ、イオン注入により、メモリセル 140 の拡散層 61 を形成する。メモリセル 140 の拡散層 61 の濃度はVccトランジスタ 120、130 の拡散層と同程度とする。

【0068】

メモリセル140を形成した後に、図10に示すように、フォトレジスト13を全面に堆積させ、このフォトレジスト13をパターニングした後、プラズマエッチングにより、高耐圧トランジスタ100、110及びVccトランジスタ120、130のゲート電極52を形成する。

【0069】

次いで、フォトレジスト13を除去した後、図11に示すように、フォトレジスト14によりVccトランジスタ領域以外のメモリセル領域及び高耐圧トランジスタ領域を覆い、Vccトランジスタ120、130に対してリンおよびボロンのイオン注入を行い、LDD層62を形成する。

【0070】

次いで、フォトレジスト14を除去した後、図12に示すように、パターニングしたフォトレジスト15で高耐圧NMOSトランジスタ100のみを開口し、リンのイオン注入により、高耐圧NMOSトランジスタ100のDDD層63を形成する。

【0071】

さらに、フォトレジスト15を除去し、図13に示したように、パターニングしたフォトレジスト16で高耐圧PMOSトランジスタ110のみを開口し、ボロンのイオン注入により、高耐圧PMOSトランジスタ110のDDD層64を形成する。

【0072】

次いで、フォトレジスト16を除去し、メモリセル140のゲート電極51及び高耐圧トランジスタ110、110とVccトランジスタ120、130のゲート電極52の周囲にサイドウォールHTOの成長を行った後、プラズマエッチにより、サイドウォール53を形成する。

【0073】

この際、図14に示すように、フォトレジスト17を用いて、高耐圧トランジスタ100、110のサイドウォール53の拡張を行う。これにより、サイドウォールオフセット54が高耐圧トランジスタ100、110のゲート電極52の

周囲に形成される。

【0074】

サイドウォール53及びサイドウォールオフセット54を形成した後、Vccトランジスタ120、130の高濃度拡散層65、66を形成する。

【0075】

先ず、図15に示すように、パターニングされたフォトレジスト18を用いて、高耐圧NMOSトランジスタ100とVccNMOSトランジスタ120にNチャネル拡散層65を形成する。

【0076】

さらに、図16に示すように、フォトレジスト18を除去した後に、パターニングされたフォトレジスト19を用いて、高耐圧PMOSトランジスタ110とVccPMOSトランジスタ130にPチャネル拡散層66を形成する。

【0077】

これらのNチャネル拡散層65及びPチャネル拡散層66の形成の際に、サイドウォール53を延長して形成したサイドウォールオフセット54により、高濃度拡散層65、66と高耐圧トランジスタ100、110のゲート電極52とのオーバーラップ部分がなくなっているため、バンド間電流を抑制することが可能になっている。

【0078】

Nチャネル拡散層65及びPチャネル拡散層66の形成に続いて、図17に示すように、拡散層65、66のTiSi化を行う。

【0079】

拡散層65、66のTiSi化においては、サイドウォールオフセット54により、低濃度拡散層63、64の露出が完全に抑えられているため、Vccトランジスタ120、130の本来の製造プロセスに変更を加えることなく、拡散層65、66をTiSi化することが可能である。

【0080】

先ず、フォトレジスト19を除去し、TiSi化の形成を促すアモルファス化ヒ素の注入を半導体基板1の全面に対して行った後、拡散層65、66上の酸化

膜をプラズマエッチング及びウェットエッチングにより取り除き、チタンスパッタリングを半導体基板 1 の全面に対して行う。

【 0 0 8 1 】

さらに、熱処理及び余剰 Ti のウェットエッチングを行い、TiSi 層 6 7 を形成する。

【 0 0 8 2 】

以降、層間絶縁膜を形成し、コンタクトの形成、多層配線形成プロセスへと続く。これにより、メモリセル 1 4 0、高耐圧トランジスタ 1 0 0、1 1 0 及び Vcc トランジスタ 1 2 0、1 3 0 を混載した半導体装置が形成される。

【 0 0 8 3 】

図 1 8 は、第四の実施形態に係る半導体装置の製造方法を示す。

【 0 0 8 4 】

本実施形態に係る製造方法は、上述の第三の実施形態に係る製造方法と比較して、ドレイン拡散層 6 5、6 6 上においてのみサイドウォールオフセット 5 4 a を形成した点が異なっている。

【 0 0 8 5 】

このようなサイドウォールオフセット 5 4 a は、第三の実施形態における図 1 4 に示した工程において、フォトリジスト 1 7 のパターンを変更することにより、形成することができる。

【 0 0 8 6 】

なお、ドレイン拡散層 6 5、6 6 上においてのみサイドウォールオフセット 5 4 a を形成する場合には、DDD 層 6 3、6 4 はドレイン拡散層 6 5、6 6 の下方においてのみ形成される。

【 0 0 8 7 】

高耐圧トランジスタの使用状況によっては、ゲート電極 5 2 とドレイン拡散層 6 5、6 6 にのみ Vpp 電圧が印加され、Vpp 電圧がソース拡散層 6 5、6 6 に印可されない場合がある。このため、本実施形態のように、ゲート電極 5 2 からドレイン拡散層 6 5、6 6 のみに向かって伸張するサイドウォールオフセット 5 4 a を形成すれば足りる場合がある。

【0088】

このように、必要な領域にのみサイドウォールオフセット54aを形成することにより、チップ面積の無用な増加を防ぐことができる。

【0089】

【発明の効果】

以上のように、本発明によれば、高濃度のソース／ドレイン拡散層を第二拡散層、例えば、低濃度DDD層で覆うことによって、ジャンクション耐圧の確保を図ることができる。

【0090】

さらに、サイドウォールを拡張して形成したサイドウォールオフセットにより、高耐圧トランジスタのソース／ドレイン拡散層をゲート電極のエッジから引き離すことが可能になり、バンド間リーク電流の発生を抑制し、ソースドレイン間耐圧の向上を図ることができる。

【0091】

また、厚い酸化膜からなるサイドウォールオフセットはゲート電極のエッジ上においてマスク材として機能するため、半導体基板の表面上における第二拡散層の露出を防止することができ、低抵抗配線層の形成の際に、第二拡散層上において低抵抗配線層が異常成長を起こす恐れがない。

【0092】

さらに、サイドウォールオフセットを必要な領域（例えば、ドレイン拡散層上）にのみを形成することにより、チップ面積の無用な増加を防止することも可能である。

【図面の簡単な説明】

【図1】

本発明の第一の実施形態に係る半導体装置の断面図である。

【図2】

本発明の第二の実施形態に係る半導体装置の断面図である。

【図3】

本発明の第三の実施形態に係る半導体装置の製造方法の一工程を示す断面図で

ある。

【図 4】

本発明の第三の実施形態に係る半導体装置の製造方法の一工程を示す断面図である。

【図 5】

本発明の第三の実施形態に係る半導体装置の製造方法の一工程を示す断面図である。

【図 6】

本発明の第三の実施形態に係る半導体装置の製造方法の一工程を示す断面図である。

【図 7】

本発明の第三の実施形態に係る半導体装置の製造方法の一工程を示す断面図である。

【図 8】

本発明の第三の実施形態に係る半導体装置の製造方法の一工程を示す断面図である。

【図 9】

本発明の第三の実施形態に係る半導体装置の製造方法の一工程を示す断面図である。

【図 1 0】

本発明の第三の実施形態に係る半導体装置の製造方法の一工程を示す断面図である。

【図 1 1】

本発明の第三の実施形態に係る半導体装置の製造方法の一工程を示す断面図である。

【図 1 2】

本発明の第三の実施形態に係る半導体装置の製造方法の一工程を示す断面図である。

【図 1 3】

本発明の第三の実施形態に係る半導体装置の製造方法の一工程を示す断面図である。

【図 1 4】

本発明の第三の実施形態に係る半導体装置の製造方法の一工程を示す断面図である。

【図 1 5】

本発明の第三の実施形態に係る半導体装置の製造方法の一工程を示す断面図である。

【図 1 6】

本発明の第三の実施形態に係る半導体装置の製造方法の一工程を示す断面図である。

【図 1 7】

本発明の第三の実施形態に係る半導体装置の製造方法の一工程を示す断面図である。

【図 1 8】

本発明の第四の実施形態に係る半導体装置の製造方法の一工程を示す断面図である。

【図 1 9】

第一の従来例に係る半導体装置の断面図である。

【図 2 0】

第二の従来例に係る半導体装置の断面図である。

【符号の説明】

- 1 P型半導体基板
- 2 素子分離絶縁膜
- 3 高耐圧NMOSトランジスタのPウェル
- 4 高耐圧PMOSトランジスタのNウェル
- 5 V c c NMOSトランジスタのPウェル
- 6 V c c PMOSトランジスタのNウェル
- 7 メモリセルのウェル



## 8 犠牲酸化膜

10 高耐圧NMOSトランジスタ

20 高耐圧PMOSトランジスタ

11-19 フォトレジスト

31 トンネル酸化膜

32 ポリシリコン-ポリシリコン間絶縁膜

33 熱酸化膜

34 Vccトランジスタのゲート酸化膜

35 高耐圧トランジスタのゲート酸化膜

36 スルー膜

41 第1のポリシリコン層

42 第2のポリシリコン層

43 WSi層

51 メモリセルのゲート電極

52 高耐圧トランジスタ及びVccトランジスタのゲート電極

53 サイドウォール

54、54a サイドウォールオフセット

61 メモリセルの拡散層

62 VccトランジスタのLDD層

63 高耐圧NMOSトランジスタのDDD層

64 高耐圧PMOSトランジスタのDDD層

65 VccNMOSトランジスタのソース/ドレイン拡散層

66 VccPMOSトランジスタのソース/ドレイン拡散層

67 TiSi層

100 高耐圧NMOSトランジスタ

110 高耐圧PMOSトランジスタ

120 VccNMOSトランジスタ

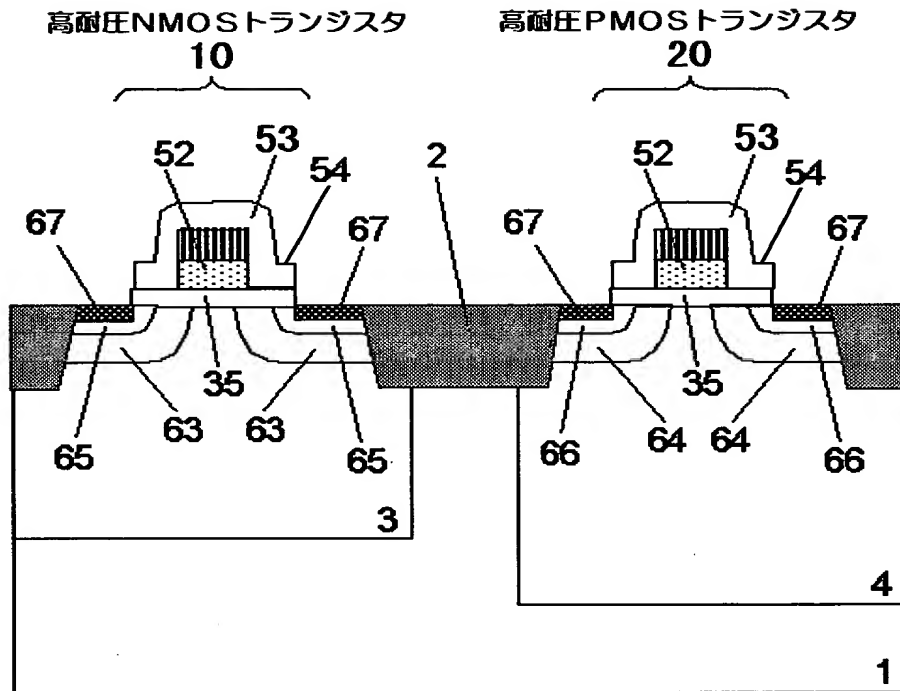
130 VccPMOSトランジスタ

140 メモリセル

特平 1 1 — 1 0 8 8 8 4

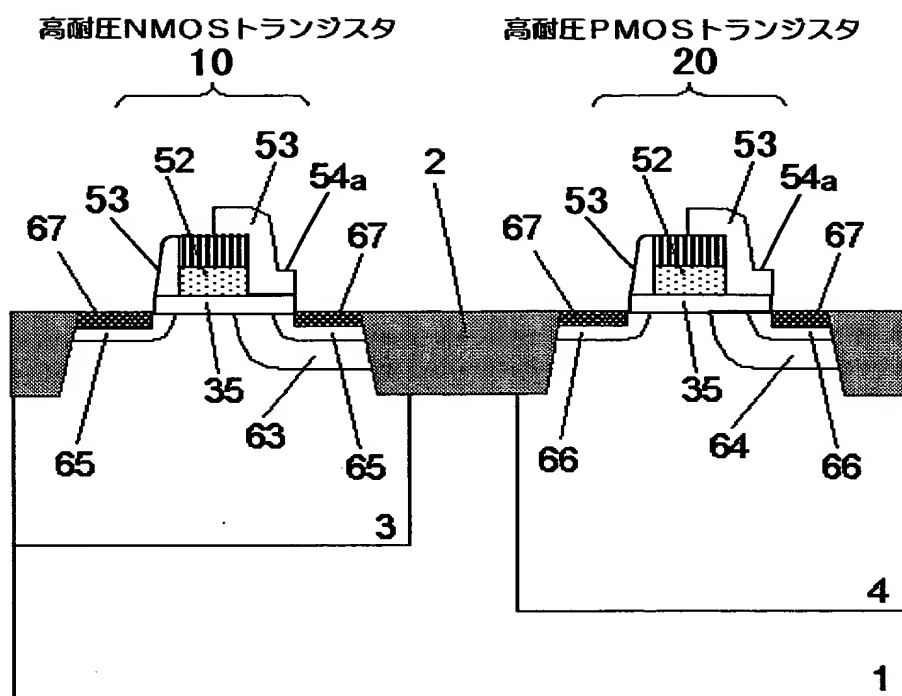
【書類名】 図面

【図 1】

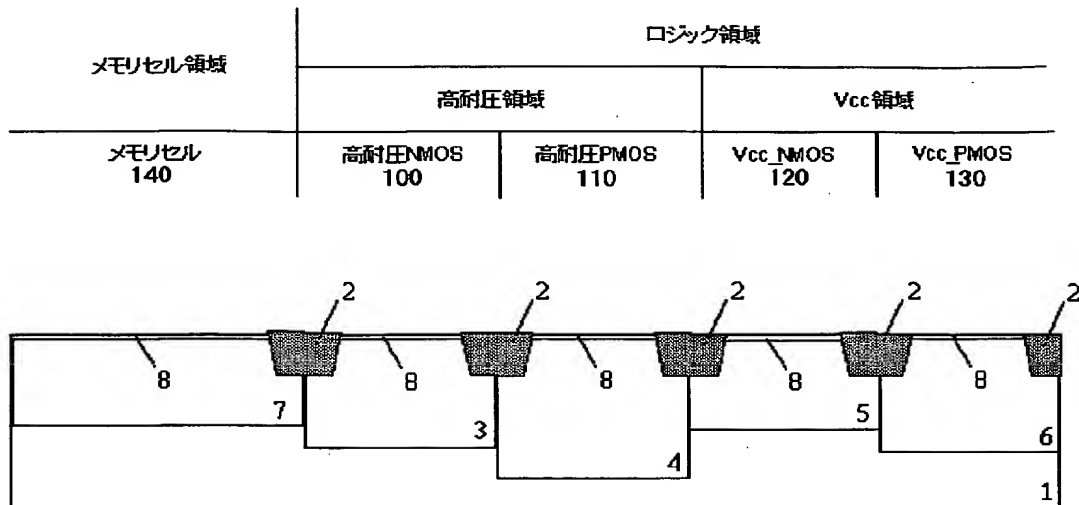


- 1: P型半導体基板
- 2: 素子分離絶縁膜
- 3: 高耐圧NMOSトランジスタのPウェル
- 4: 高耐圧PMOSトランジスタのNウェル
- 35: 高耐圧トランジスタのゲート酸化膜
- 52: 高耐圧トランジスタ及びV<sub>cc</sub>トランジスタのゲート電極
- 53: サイドウォール
- 54: サイドウォールオフセット
- 63: 高耐圧NMOSトランジスタのDDD層
- 64: 高耐圧PMOSトランジスタのDDD層
- 65: V<sub>cc</sub>NMOSトランジスタのソース/ドレイン拡散層
- 66: V<sub>cc</sub>PMOSトランジスタのソース/ドレイン拡散層
- 67: TiSi層

【図 2】

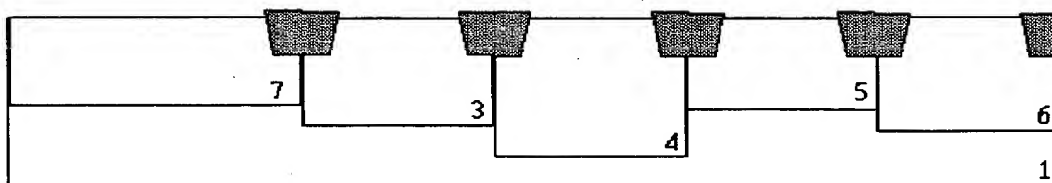


【図 3】

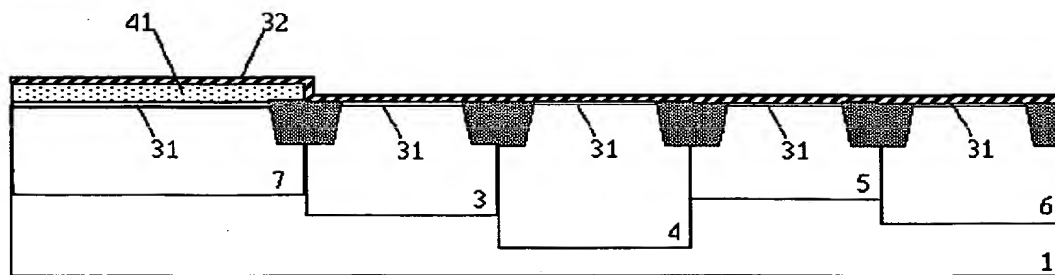


5: VccNMOSトランジスタのPウェル  
 6: VccPMOSTランジスタのNウェル  
 7: メモリセルのウェル  
 8: 犠牲酸化膜

【図 4】

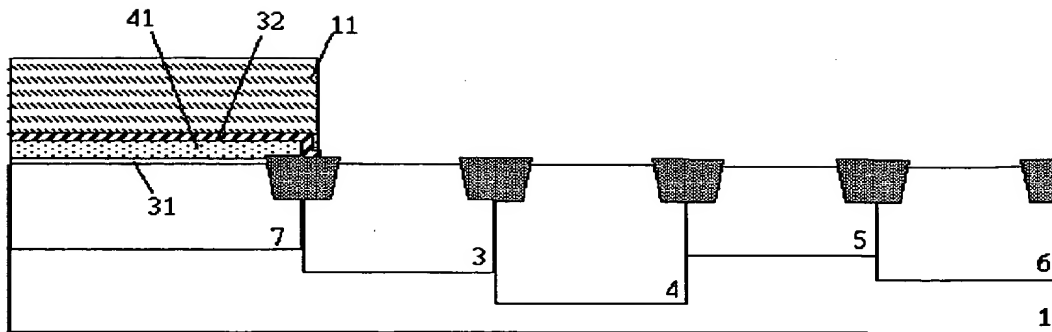


【図 5】



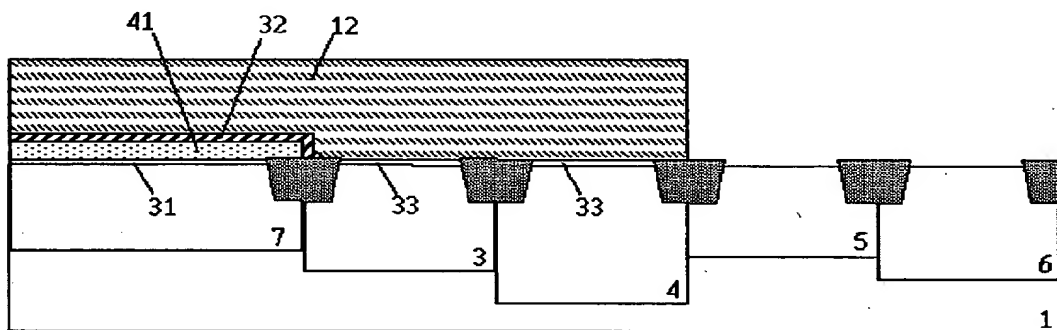
31: トンネル酸化膜  
 32: ポリシリコン-ポリシリコン間絶縁膜  
 41: 第一のポリシリコン膜

【図 6】



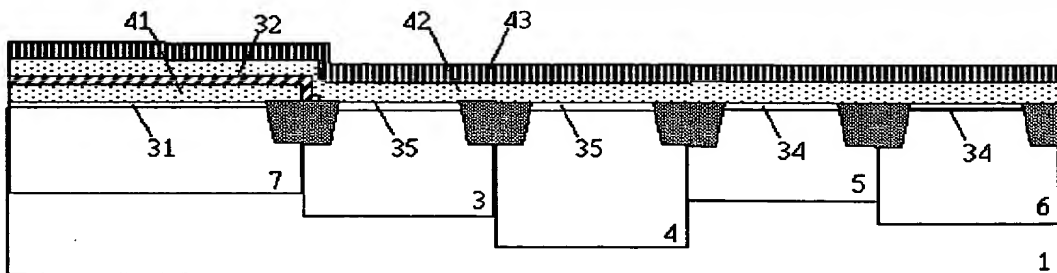
11: フォトレジスト

【図 7】



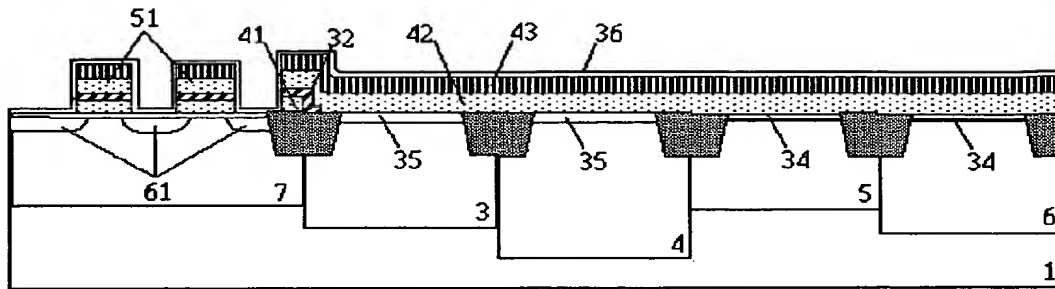
12: フォトレジスト  
33: 熱酸化膜

【図 8】



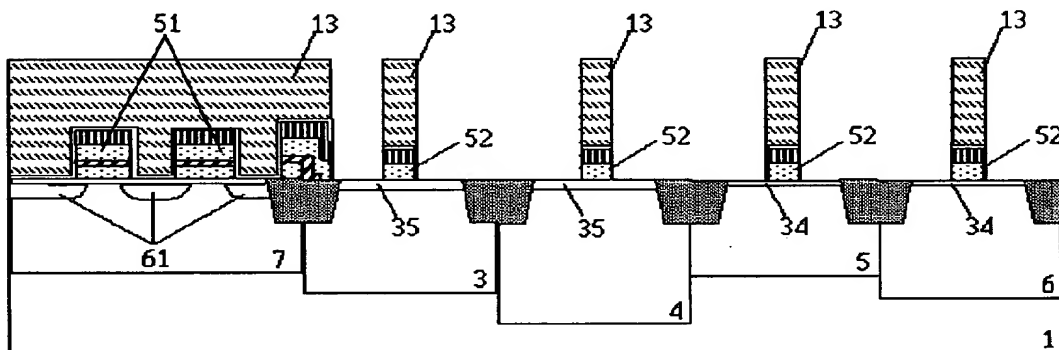
34: Vccトランジスタのゲート酸化膜  
42: 第二のポリシリコン膜  
43: WSi 層

【図 9】



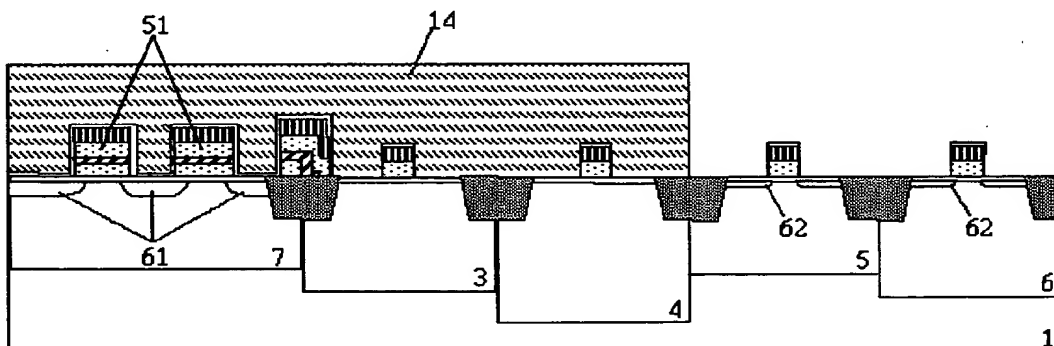
36: スルー膜  
51: メモリセルのゲート電極  
61: メモリセルの拡散層

【図 10】



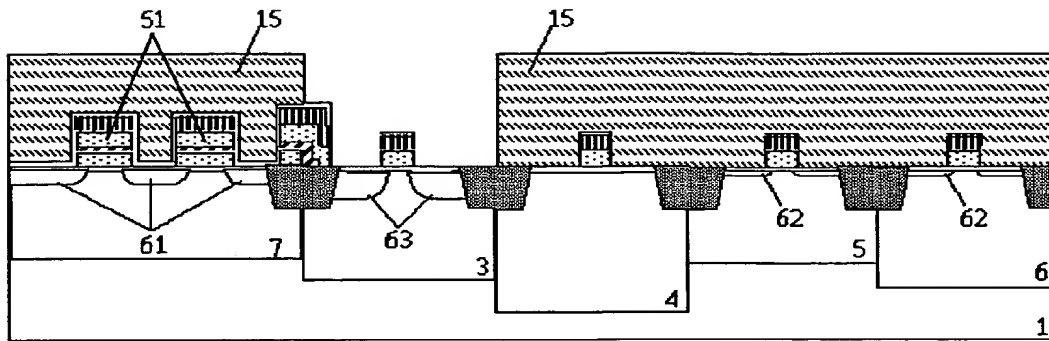
13: フォトリソグ

【図 11】



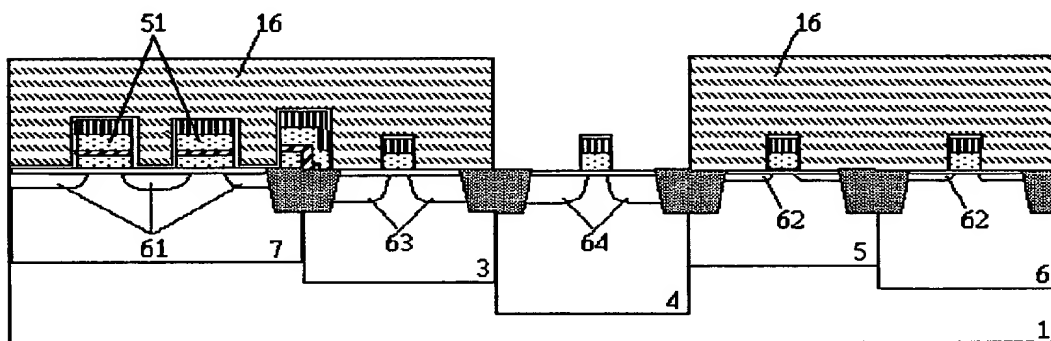
14: フォトリソグ  
62:  $V_{cc}$ トランジスタのLDD層

【図 1 2】



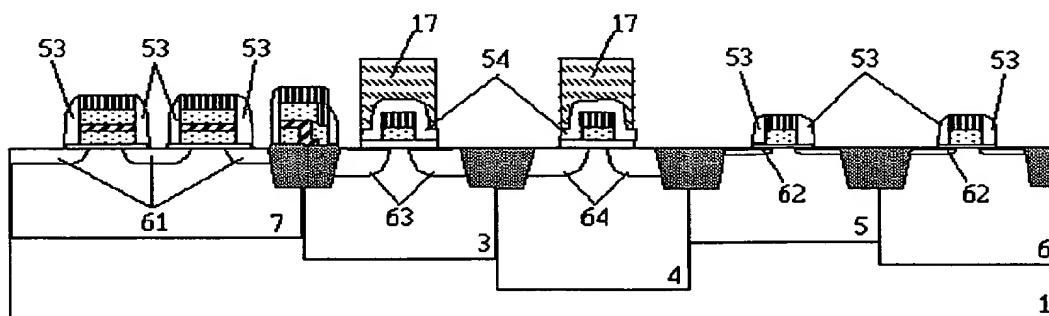
15: フォトリソグ

【図 1 3】



16: フォトリソグ

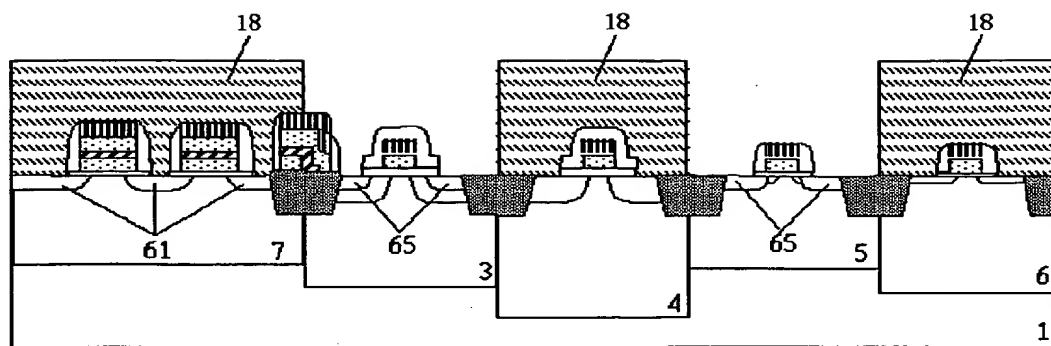
【図 1 4】



17: フォトリソグ

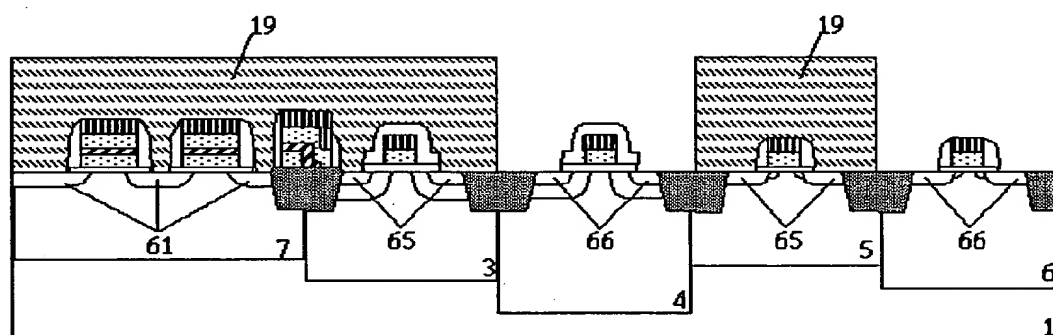


【図 1 5】



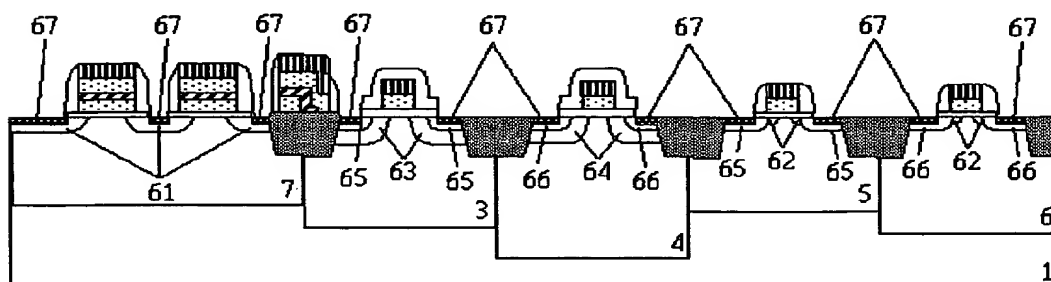
18: フォトリソグ

【図 1 6】

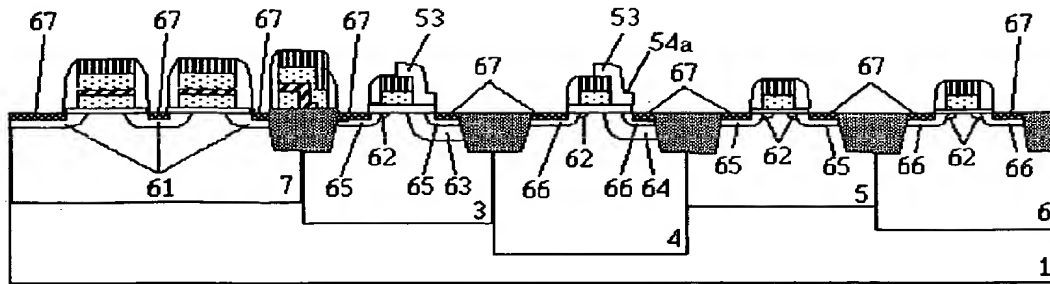


19: フォトリソグ

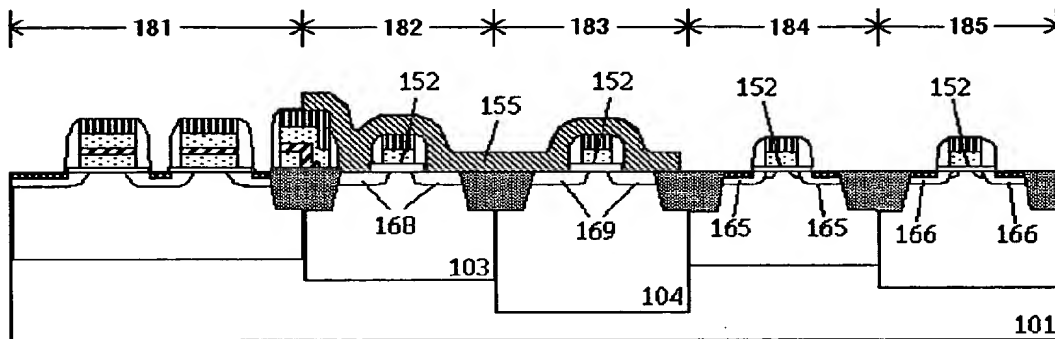
【図 1 7】



【図 1 8】

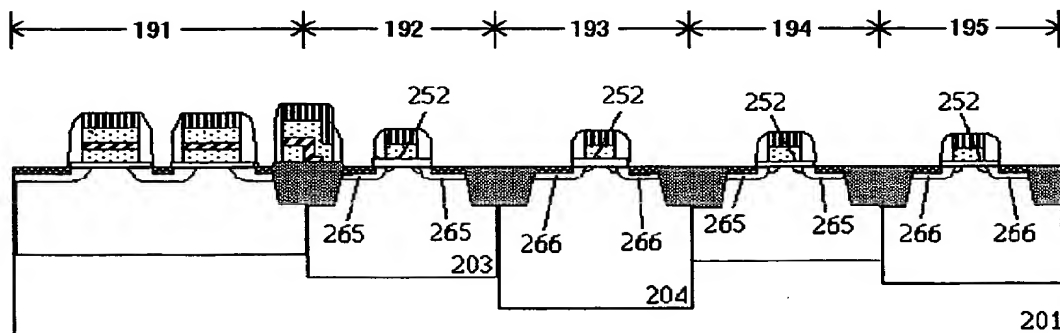


【図 1 9】



101: 半導体基板	152: ゲート酸化膜
103: 低濃度のウェル	155: 保護膜
104: 低濃度のウェル	165: 高濃度拡散層
	166: 高濃度拡散層
	168: 低濃度拡散層
	169: 低濃度拡散層

【図 2 0】



201: 半導体基板	252: ゲート酸化膜
203: 低濃度のウェル	265: 高濃度拡散層
204: 低濃度のウェル	266: 高濃度拡散層

【書類名】 要約書

【要約】

【課題】 CMOS ロジックトランジスタと不揮発メモリとを混載する半導体装置において、トランジスタの製造工程数を増加させることなく、バンド間電流の発生を抑制する。

【解決手段】 サイドウォール 5 3 を拡張して形成したサイドウォールオフセット 5 4 により、高耐圧トランジスタ 1 0、2 0 のソース／ドレイン拡散層 6 5、6 6 をゲート電極 5 2 のエッジから引き離して形成する。これにより、バンド間リーク電流の発生を抑制し、ソース-ドレイン間耐圧の向上を図る

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社